

3/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

007685965 **Image available**

WPI Acc No: 1988-319897/ 198845

Semiconductor IC - applies input signal and delayed input signal to exclusive or circuit to obtain multiplex signal NoAbstract Dwg 6/6

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63237610	A	19881004	JP 8772006	A	19870325	198845 B

Priority Applications (No Type Date): JP 8772006 A 19870325

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 63237610 A 4

Title Terms: SEMICONDUCTOR; IC; APPLY; INPUT; SIGNAL; DELAY; INPUT; SIGNAL; EXCLUDE; CIRCUIT; OBTAIN; MULTIPLEX; SIGNAL; NOABSTRACT

Derwent Class: U13; U22

International Patent Class (Additional): H01L-027/04; H03K-005/00

File Segment: EPI

3/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02620710 **Image available**

SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: 63-237610 A]

PUBLISHED: October 04, 1988 (19881004)

INVENTOR(s): NAKAMOTO TAKASHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-072006 [JP 8772006]

FILED: March 25, 1987 (19870325)

INTL CLASS: [4] H03K-005/00; H01L-027/04; H03K-005/13

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 710, Vol. 13, No. 44, Pg. 40, January 31, 1989 (19890131)

ABSTRACT

PURPOSE: To obtain a target multiple signal at all time by generating the magnification signal based on the outputs of plural delay circuits.

CONSTITUTION: Input signals undergo the delay circuits 4-1-4-n and are subjected to different delays therein, then inputted to a selector 3 from respective connection parts. In the selector 3, either one of the inputted signals in accordance with an output from a duty decision circuit 5, and the result is inputted to an exclusive OR circuit 8, so that a multiplied output signal is outputted from its output terminal 2. The duty decision circuit 5 detects the duty of an output signal from the circuit 8. And if the time during which the level of a pulse is in a high level is shorter than a time when in a low level, the selector 3 inputs an input signal of a longer delay time to the circuit 8, but if the high-level time is longer than the low-level time, an input signal of a shorter delay time is inputted to the circuit 8. As a result, a stable signal free from the influence of temperature variation or variance due to manufacture can be obtained.

⑪ 公開特許公報 (A)

昭63-237610

⑤Int.Cl.

H 03 K 5/00
H 01 L 27/04
H 03 K 5/13

識別記号

厅内整理番号

⑩公開 昭和63年(1988)10月4日

7631-5J
7514-5F
7631-5J

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 半導体集積回路

⑦特 頂 昭62-72006

⑧出 頂 昭62(1987)3月25日

⑨発明者 中本 貴士 東京都港区芝5丁目33番1号 日本電気株式会社内

⑩出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑪代理人 弁理士 内原 普

明細書

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に温度変化や素子の値の変動に影響されることなく目的とする遅倍信号を発生する遅倍回路に関する。

〔従来の技術〕

従来、この種の半導体装置は、第7図に示すように信号入力端子11より入力された入力信号と遅延回路13を通った入力信号とが、排他的論理回路9に印加され、その出力が遅倍出力端子12から遅倍信号として出力される。しかしこの方法では、遅延回路の遅延量がパルス幅となるので、入力信号の周期の1/4のときに正確な遅倍信号が出力される。従って遅延回路の遅延量の変動はパルス幅の変動となってあらわれる。

〔発明が解決しようとする問題点〕

上述した従来の遅倍回路は、遅延回路の遅延量が遅倍信号のパルス幅となっているので、遅延時間が温度変化や遅延素子値の変動により目的の遅倍信号を安定に得ることができなくなる欠点があ

発明の名称

半導体集積回路

特許請求の範囲

入力信号と前記入力信号を遅延せしめた信号とを排他的論理回路に加えて遅倍信号を得る半導体集積回路において、

遅延量の相異なる複数個の遅延手段と、

前記排他的論理回路の出力信号のデューティを検出し前記デューティをあらかじめ定められたデューティとする時の前記遅延手段の遅延量の変化方向を示す判定信号を出力するデューティ判定手段と、

前記判定信号を入力しその指定する遅延量の変化方向に従って前記遅延手段の遅延量を切替える切替手段とを備えてなることを特徴とする半導体集積回路。

る（特にデューティが不安定となる）。

従って従来の遅倍回路を形成する半導体集積回路に対し、本発明は複数個の遅延回路を有し、それら各々の出力をもとに遅倍信号を作るのである一つの遅延素子の遅延時間が温度変化や素子値変動などであらかじめ定められた値からずれたとしても、他の遅延段からの信号に切り替えて遅倍を行なうことにより、常に目標とする遅倍信号を得る事が出来る。

さらに複数個の遅延回路の出力の切替が、遅倍した出力の結果により集積回路内で自動的に行なうという独創的内容を有する。

〔問題点を解決するための手段〕

本発明の半導体集積回路は、

入力信号と前記入力信号を遅延せしめた信号とを排他的論理和回路に加えて遅倍信号を得る半導体集積回路において、

遅延量の相異なる複数個の遅延手段と、

前記排他的論理和回路の出力信号のデューティを検出し前記デューティをあらかじめ定められた

デューティとする時の前記遅延手段の遅延量の変化方向を示す判定信号を出力するデューティ判定手段と、

前記判定信号を入力しその指定する遅延量の変化方向に従って前記遅延手段の遅延量を切替える切替手段とを備えて構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の概要を示すブロック図、第2図は本発明に使用するデューティ判定回路の一実施例を示すブロック図、第3図は本発明に使用するコンパレータの特性の一例を示す図表、第4図は本発明に使用するデューティ判定回路の波形を示す図表、第5～第6図は本発明の第一～第二の実施例の構成を示すブロック図である。

まず本発明の概要を説明する。

信号入力端子1より入力した入力信号は、遅延回路4-1～4-Nを通りそれぞれの接続部から互いに異なる遅延を受けて、選択器3に入力される。選択器3ではデューティ判定回路5の出力に

従って、いずれか一つの遅延された入力信号が選択されて、先に述べた入力信号と共に排他的論理和回路8に入力され、遅倍された出力信号が遅倍出力端子2から出力される。

一方、デューティ判定回路5では、排他的論理和回路8の出力信号のデューティを検出する。そして、パルスのレベルがハイ（Hと称す）のときの時間が、パルスのレベルがロウ（Lと称す）のときの時間よりも短ければ、選択器3ではより遅延量の大きな入力信号が排他的論理和回路8へ入力される。またパルスのレベルがHのときの時間がLのときの時間よりも長ければ、選択器3ではより遅延量の小さな入力信号が排他的論理和回路8へ入力される。

以上のようにしてデューティ判定回路5の作動により、排他的論理和回路8の出力信号は、パルスのレベルがHのときの時間とパルスのレベルがLのときの時間がほぼ同一の値に落ち付くようになる。

次に、本発明に使用するデューティ判定回路5

の一実施例について説明する。

第2図を見るに、デューティ判定回路5の一実施例は、積分回路33と、第一のコンパレータ34と、第二のコンパレータ35と、デコーダ36などで構成される。積分回路33の時定数C・Rはその出力が平滑されるように、入力されるパルスの周期より相当大きな値とする。また第一および第二のコンパレータ34・35の入出力特性は、それぞれ第3図(a)および(b)のように、パルスのレベルV_{dd}(V_{dd}はパルスのレベルHと同一のものである)の1/2を中心にして+△V、-△Vの入力レベル値より上位のレベルで、出力がそれぞれE₊およびE₋へ現われるようになっている。

従ってデューティ判定回路の各部の電位（入力端子31の電位E₂、積分回路33の出力電位E₃、第一および第二のコンパレータの出力電位E₄・E₅）は第4図(a)～(c)に示すようになる。まず第4図(a)は入力端子のパルスのHレベルの時間がLレベルの時間に比べて短かい

ときで、積分回路の出力は0Vの近くなり、第一および第二のコンパレータの出力はいずれもしレベルである。このとき出力端子32からの出力により、選択器3がより長い遅延時間の入力信号を選択する。第4図(c)は入力信号のパルスのHレベルの時間がLレベルの時間に比べて長いときで、積分回路の出力はV_{dd}に近くなり、第一および第二のコンパレータの出力はいずれもHレベルである。このとき出力端子32からの出力により、選択器3がより短い遅延時間の入力信号を選択する。

第4図(c)は入力信号のパルスのHレベルの時間とLレベルの時間とが同一のときで、積分回路の出力は(1/2)V_{dd}となり、第一のコンパレータの出力はLレベル第二のコンパレータの出力はHレベルとなる。このとき出力端子32からの出力による選択器3の選択の変更は、行なわれない。従って第3図(a)～(b)に示すように、積分回路の出力が(1/2)V_{dd}±△Vの間に保たれる。よって△Vを小さくする程、

遅倍の精度は上昇する。

次に、本発明の第一および第二の実施例について説明する。

まず、第5図は本発明の第一の実施例を示すものであって、第1図と比べた相異点は遅延回路としてインバータ14A～14Fを使用したことにより、短い同一の遅延時間を持つ素子を直列に複数段置くことで実現でき、インバータを特定の遅延時間に設計することなく利用できる利点がある。また、第6図は本発明の第二の実施例を示すものであって、第1図と比べた相異点は遅延回路としてインバータ24A～24Fを使用したことにより、トランジスタのサイズなどで遅延時間を変化せしめたものを複数作り、2個直列にして遅延時間の異なる組合せにそれぞれ別の遅延時間を与えるようにしたもので、バラツキの多い素子を使用するときに利用できる利点がある。

〔発明の効果〕

以上説明したように本発明は、複数の遅延回路を有し、これらの遅延信号を用いて作られる遅倍

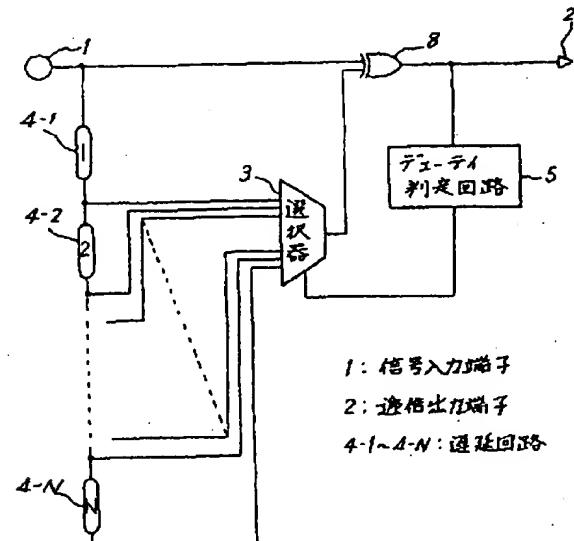
信号のデューティを判定し、理想とするデューティに近づくよう遅延量を制御して遅倍信号を得る事により、温度変化や半導体の製造上のバラツキに影響されずに安定な遅倍信号を得る事が出来るという効果がある。

図面の簡単な説明

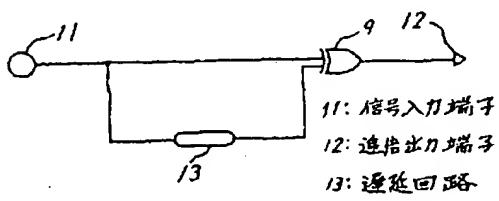
第1図は本発明の概要を示すブロック図、第2図は本発明に使用するデューティ判定回路の一実施例を示すブロック図、第3図は本発明に使用する第一および第二のコンパレータの特性の一例を示す図表、第4図は本発明に使用するデューティ判定回路の波形を示す図表、第5～第6図は本発明の第一～第二の実施例の構成を示すブロック図、第7図は従来の技術による構成の一例を示すブロック図。

1…信号入力端子、2…遅倍出力端子、3…選択器、4-1～4-N…遅延回路、5…デューティ判定回路、8…排他的論理和回路。

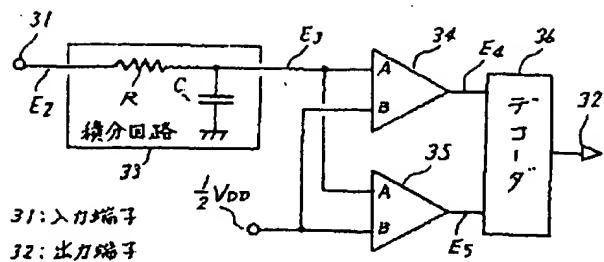
代理人弁理士内原智



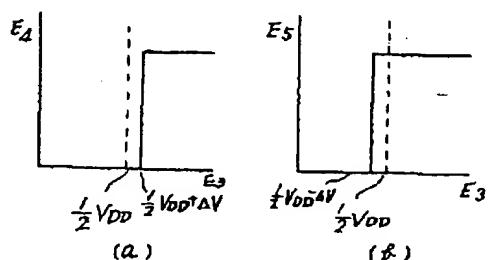
第1図



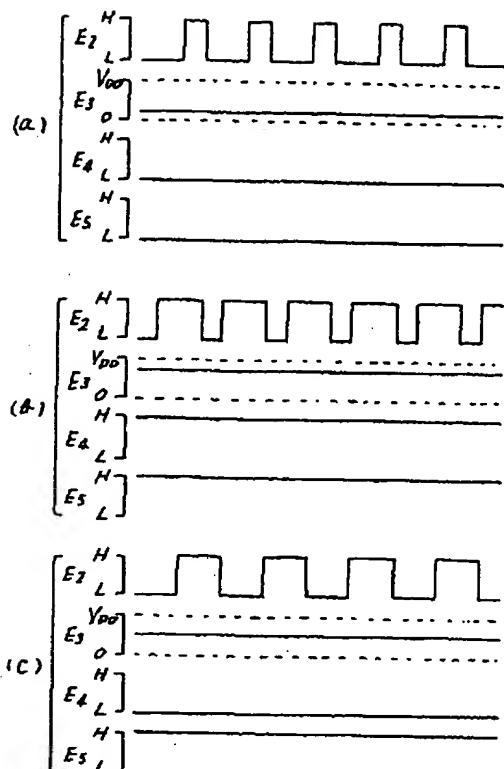
第7図



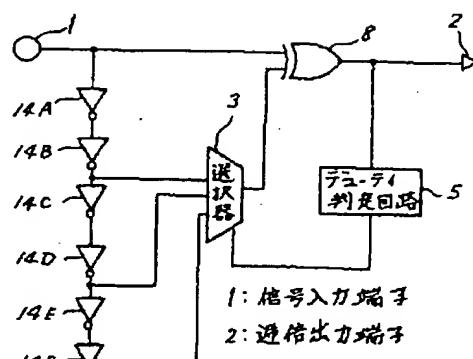
第 2 図



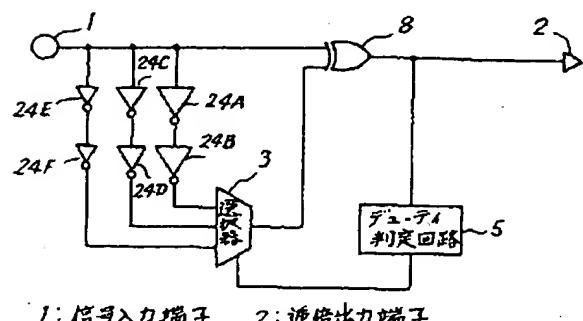
第 3 図



第 4 図



第 5 図



第 6 図